

PCT/JP00/03040

日本国特許庁

11.05.00

PATENT OFFICE
JAPANESE GOVERNMENT

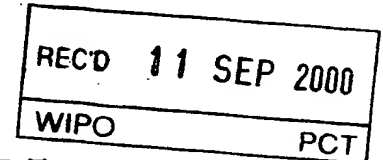
JP00/3040

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 5月11日



出願番号
Application Number:

平成11年特許願第165745号

出願人
Applicant(s):

酒井 康江

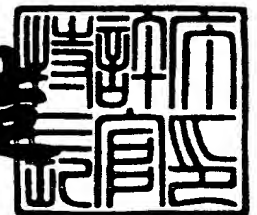
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3068984

【書類名】 特許願

【整理番号】 CE0003

【提出日】 平成11年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/00
G06F 17/00

【発明の名称】 データ補間方式および回路構成

【請求項の数】 7

【発明者】

【住所又は居所】 山梨県東八代郡石和町 63-1-205

【氏名】 小柳 裕喜生

【特許出願人】

【識別番号】 595016543

【住所又は居所】 東京都大田区中馬込 3丁目 28番1号

【氏名又は名称】 酒井 康江

【電話番号】 03-3778-3773

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 データ補間方式および回路構成

【特許請求の範囲】

【請求項 1】 入力した零次ホールドされた離散データを、オーバーサンプル及び畳込み等により、個々の離散データが、その包絡線が上辺が元のデータの約 0.5 倍で底辺が約 1.5 倍の対称台形となる如く演算を行い、次いで再度畳込み等の手段で、個々の離散データがその包絡線が、底部の幅が元のデータの約 2 倍の滑らかな 2 次曲線となる如くし、全体として前記離散データのサンプル値の整数倍を通る滑らかな包絡線を有する補間データを生成する、データ補間方式および回路構成。

【請求項 2】 入力した零次ホールドされた離散データを、オーバーサンプリングし、2 回以上くり返し畳込み演算を行うことにより、前記離散データのサンプル値の整数倍を通る連続した 2 次曲線の包絡線を有する補間データを生成する、データ補間方式および回路構成。

【請求項 3】 入力した零次ホールドされた離散データを、オーバーサンプル及び畳込み等の手段で、個々の離散データがその包絡線が、底辺が入力信号の約 2 倍の二等辺三角形となる如く演算を行い、全体として前記離散データのサンプル値の整数倍を通る直線補間データを生成するデータ補間方式および回路構成。

【請求項 4】 入力したサンプル時間 $2nT_1$ の零次ホールドされた離散データを、時間方向に T_1 でオーバーサンプルし、これを T_1 ずつずらして n 相の畳込み演算を行い、生成したデータを更に T_1 ずつずらして n 相の畳込み演算を行い、この結果を更に T_1 ずらして加算を行うことにより、前記離散データのサンプル値の整数倍を通る連続した 2 次曲線の包絡線を有する補間データを生成する、データ補間方式および回路構成。

【請求項 5】 Z を、2 より 1 回の加算毎に 1 増加する数とする。入力されたサンプル時間 $2nT_1$ の零次ホールドされた離散データを時間方向に T_1 でオーバーサンプルし、これを $(n/2^2)T_1$ ずらして加算し、この結果を更に $(n/2^3)T_1$ ずらして加算しこれを $(n/2^Z) = 1$ となる迄くり返す。

次いでこの結果を、同様に $(n/2^2) T_1$ ずらして加算し、更にこの結果を $(n/2^3) T_1$ ずらして加算しこれを $(n/2^Z) = 1$ になる迄くり返し、この結果を更に T_1 ずらして加算を行うことにより、前記離散データのサンプル値の整数倍を通る連続した 2 次曲線の包絡線を有する補間データを生成する、データ補間方式および回路構成。

【請求項 6】 Z を、2 より 1 回加算毎に 1 増加する数とする。入力されたサンプル時間 T_1 のデータを $(n/2) T_1$ ずらして加算した出力を、更に $(n/2^2) T_1$ ずらして加算し、この出力を更に $(n/2^3) T_1$ ずらして加算し、これを $(n/2^Z) = 1$ となる迄くり返す n 相畳込みの演算方法。

【請求項 7】 入力データに、時間方向に対称で、入力データに比例した正負のデータを付加して重ねあわせ、これを本発明のデータ補間入力信号として、目的に応じた補間関数を生成するデータ補間方式および回路構成。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、離散的なデータより補間データを生成するデータ補間方式および回路構成に関するものである。

【0002】

【従来の技術】

従来の技術としては、CD（コンパクトディスク）等に用いられているオーバーサンプリング・デジタルアナログ変換器がある。これは離散的に入力するデジタルデータの間を Sinc 関数等を用いた補間処理により補間するものであった。しかしこの Sinc 関数は、 $\pm\infty$ で 0 に収れんする為、演算で打ち切り誤差を生じ、またローパスフィルターによる位相歪みと共に、出力波形に歪みを生じる欠点があった。

【0003】

【課題を解決する為の手段】

本発明は従来の補間の欠点を是正し、零次ホールドされた入力データより、多重畳込みにより直接補間データを生成する。即ち、零次ホールドされた長さ

$2nT_1$ の入力データーを時間軸方向に T_1 でオーバーサンプリングし、これを T_1 ずつずらして n 相の畳込み演算を行い、次いでこの出力を更に T_1 ずつずらして n 相の畳込み演算を行い、最後に T_1 ずらして加算する事により、零次ホールドされた波形を、包絡線が滑らかで且つサンプル値を通る 2 次曲線の $2n$ 倍オーバーサンプリング出力とする。この為特別な補間関数は必要なく、処理された出力はそのまま補間された信号出力となる。

上記の畳込みの回路構成は種々考えられるが、その内の 2 例を実施例として後述する。

【0004】

更に入力データーに、時間方向に対称でかつ入力データーに比例した正負のデーターを付加し、重ねあわせたものを本発明の補間方式の入力信号とすれば、その構成に応じた補間関数が得られ、出力波形にオーバーシュートやアンダーシュートを付する等の加工が可能となる。

【発明の実施の形態】

【0005】

以下、本実施形態の補間方式について、図面を参照しながら詳細に説明する。図 1 は 1 重畳込みによる直線補間の原理の説明図、図 2、図 3、図 4、図 5、図 6、図 7、図 8、図 9 は、3 重畳込みによる補間方式の原理を説明する為の図である。図 10 は、3 重畳込みによる補間回路の構成例を示すブロック図である。

図 11、図 12 は他の多重畳込みによる補間方式の原理を説明する為の図である。図 13 は図 11、図 12 を実現する回路の構成例を示すブロック図である。

図 14 は離散入力に対する 3 重畳込みによる補間回路の演算を示す図であり、図 15 はその結果のグラフである。

図 16 は離散入力に対する 1 重畳込みによる補間回路の演算を示す図であり、図 17 はその結果のグラフである。

図 18 は入力データーに、時間方向に対称で、かつ入力データーに比例した正負のデーターを付加して重ねあわせた信号の 1 例であり、図 19 はこの入力に対する 3 重畳込み出力を示す図、図 20 はこの入力信号合成回路の構成例を示すブロック図である。以下これらの図により説明を行う。

【0006】

図1は単一データーを直線補間信号に変換する過程を示す図である。Aは長さ $2nT_1$ 、振幅1の零次ホールド入力である。これを T_1 ずつずらして $2n$ 回加算すると、Bの如く底辺 $(4n-1)T_1$ 、振幅 $2n$ の2等辺三角波となる。これがオーバーサンプリング出力の包絡線となる。

離散データーの場合入力値に比例した2等辺三角波が $2n$ ずつずれて合成されるので、出力は離散入力値の整数倍を通る直線補間となる。

図2は単一データーを2次曲線補間信号に変換する過程を示す図である。Cは長さ $2nT_1$ 、振幅1の零次ホールド入力である。これを T_1 ずつずらして n 回加算すると、Dの如く底辺 $(3n-1)T_1$ 、上辺 $(n+1)T_1$ 高さ n の対称台形波となる。更にこれを T_1 ずつずらして n 回加算し、更に T_1 ずらして加算するとEの如く、幅 $(4n-1)T_1$ 、振幅 $2n^2$ の連続した2次曲線となる。

これがオーバーサンプリング出力の包絡線となり、離散データーの場合入力値に比例した2次曲線波が $2n$ ずつずれて合成されるので、出力は離散入力値の整数倍を通る2次曲線補間となる。

【0007】

図3は、 $n=8$ の時の第1の畳込みの計算を示す。図3において、第1の行は入力データーであり、横方向は時間の経過を示す。1つの列は単位時間 T_1 とする。即ちこの入力データーは、持続時間 $16T_1$ で振幅1の零次ホールドされたパルスである。これを T_1 ずつ8相の畳込みした結果が1番下の行となる。

図4は第2の畳込みの計算を示す。1～8行は、図7の結果を T_1 ずつずらした8相の畳込みで、9行目はこの計算結果である。これを更に T_1 ずつずらして2相の畳込み（加算）を行った結果が一番下の行である。

図5はこの計算結果をグラフにしたものである。縦軸は振幅、横軸は時間である。これより零次ホールドされた矩形波が、幅2倍の滑らかな2次函数を包絡線とするオーバーサンプル信号となり、最大振幅は128倍となることがわかる。

上記は単一パルスであったが、連続したデーターがある場合、連続したデーターの最大値が、隣接する、データーのない1クロック）と一致するため、連続し

たデーターにおいては補間カーブは常にサンプル値の整数倍を通ることがわかる。

図6は、図3の第1行を図にしたもので、振幅1、幅 $2nT_1$ の零次ホールドされたユニットパルスである。これを図3では、 $n=8$ とし、8相の畳込みを行う。図3最下行がその結果で、図8、図9はこれを図で表したもので、最終のデーター長は $(4n-1)T_1$ となる。

【0008】

次に更に詳しく検証する。図4で、横軸方向を x 、縦軸方向を y とし、原点を左下より3行上とすると、

$0 < x < n$ の間では

$$y_1 = x! + (x-1)! = x^2 \quad \text{-----①}$$

$n < x < 3n$ の間では

$$\begin{aligned} y_2 &= n! + (x-n)n - (x-n)! \\ &= -\{(x-2n)^2 + 2n^2\} \quad \text{-----②} \end{aligned}$$

$3n < x < 4n$ の間では

$$\begin{aligned} y_3 &= (4n-x)! + (4n-x-1)! \\ &= (4n-1)^2 \quad \text{-----③} \end{aligned}$$

となり、 y は x の2次式となることがわかる。

①、②式のつなぎ目は

$$dy_1/dx = 2x, \quad dy_2/dx = -2x + 4n$$

$x=n$ においては $dy_1/dx = 2n$ 、 $dy_2/dx = 2n$ で連続となる。

②、③式のつなぎ目は

$$dy_2/dx = -2x + 4n, \quad dy_3/dx = 2x - 8n$$

$x=3n$ においては $dy_2/dx = -2n$ 、 $dy_3/dx = -2n$ で連続となる。

【0009】

図10は、図3、図4の演算を行う本実施形態のデジタルアナログ変換器のブロック図である。実施例を $n=8$ として説明する。

図中1は16ビットのデジタル信号入力とする。2はクロック入力とする。3

は 16 倍のクロック入力とする。4 ～ 11 は D フリップフロップで、加算器 12 と組み合わせて第 1 の畳み込み回路を構成している。加算器 12 の出力は演算により 19 ビットとなる。

次いで加算器 12 の出力は、第 2 の畳み込み回路を構成する 13 ～ 29 の D フリップフロップを通り加算器 21 と共に第 2 の畳み込み回路を構成する。この出力は演算により 22 ビットとなる。

次いで加算器 21 の出力は D フリップフロップ 22 と加算器 23 よりなる第 3 の畳み込み回路に入り 23 ビットの補間出力となる。

加算器 23 の出力は、8 分の 1 割算器 24 により 20 ビットに変換され、20 ビットのデジタルアナログ変換器 25 によりアナログ信号に変換され、16 倍のクロックを除去し不要輻射を抑制するフィルター 26 を通ってアナログ出力 27 となる。

【0010】

図 11 は図 12 の演算により図 10 と同じ効果が得られる補間デジタルアナログ変換器のブロック図である。

16 ビットの入力信号 28 はクロック CK_1 の D フリップフロップ 31 で零次ホールドされ、 $16 \times CK_1$ の D フリップフロップ 32 でオーバーサンプリングし、D フリップフロップ 33、34、35、36 及び加算器 37 で、図 11 の 1 番上の 3 列の演算を行う。その結果は D フリップフロップ 38、39 及び加算器 40 により図 11 の上から 2 番目の 3 列の演算を行う。次いで D フリップフロップ 41 及び加算器 42 により図 11 の上から 3 番目の 3 列の演算を行う。

次の D フリップフロップ 43、44、45、46、48、49、51 及び加算器 47、50、52 のブロックの動作は図 11 4、5、6 番目の 9 列の演算となり、同じ処理の繰り返しとなる。

最後に D フリップフロップ 53 と加算器 54 により図 11 の 7 回目の演算結果が得られ、図 12 の如き 2 次曲線の包絡線の 16 倍オーバーサンプリング出力が得られ、 $1/8$ 割算器 55 で 22 ビットとし、20 ビットのデジタルアナログ変換器及び 16 倍クロックと不要輻射除去フィルター 57 を通りアナログ信号出力 58 となる。

【0011】

次に連続した離散データの場合について考察する。

図14は、離散データ0、3、7、5、-4、0を入力した時、 $n=4$ で計算した結果である。上側各4行は第1の畳込み、次の各4行は第2の畳込み、次の各3行は、上2行が第3の畳込み、一番下の行が演算結果である。

これをグラフにしたものが図15であり、データ値(x印)を通る滑らかな曲線が得られることがわかる。これは畳込み出力の最大値が常に隣接データの0値と一致する為である。

【0012】

図16は図14と同じ入力データに対し、1重畳込みにより直線補間した演算である。1番下の行は演算結果で図17はそのグラフである。

【0013】

次に、入力信号として単一パルスでなく、図18の様に、零次ホールドされたパルスの両側に対称的に、振幅、極性、の異なるパルスを付加する事により、図19の様な補間関数を得られ、信号の強調等の効果を付加しうる。

図20は、零次ホールドされた単1パルスより図18の波形を生成する回路のブロック図である。1/2クロック73でサンプリングされた入力信号59は、Dフリップフロップ60で保持されDフリップフロップ61、62、63、64でクロック74により1クロックずつ遅延する。1段目と4段目の出力は-5倍掛算器65、66に、2段目と3段目の出力は31倍掛算器67、68に入り、これらの出力は加算器69、70、71により加算され、Dフリップフロップ65で保持され図18の波形の出力72となる。

Dフリップフロップの段数、掛算器の倍率、極性等を選択する事により種々の補間関数を生成出来る。

【発明の効果】

【0014】

本発明は以上説明した如く、簡単な構成で零次ホールドされた離散データを補間された滑らかな波形又は直線補間された波形に変換しうるものであり、構成にフェーズロックループを備えた発振回路を付加すれば、従来のデジタル音響

機器のデジタルアナログ変換器と置き換えて音質の向上がはかれる。

また、画像処理においてテーブル等を参照する事なく、補間データを容易に生成しうるため、極めて広い応用範囲が考えられる。

【図面の簡単な説明】

【図 1】

畳込みによる補間方式の原理を説明する為の図（直線補間）

【図 2】

多重畳込みによる補間方式の原理を説明する為の図（2次曲線補間）

【図 3】

3 重畳込みによる補間方式の原理を説明する為の計算表（第 1 の畳込）

【図 4】

3 重畳込みによる補間方式の原理を説明する為の計算表（第 2 の畳込）

【図 5】

3 重畳込みによる補間方式の計算結果のグラフ（図 4 に対応）

【図 6】

3 重畳込みによる補間方式の原理を説明する為の図（入力データ）

【図 7】

3 重畳込みによる補間方式の原理を説明する為の図（第 1 の畳込み）

【図 8】

3 重畳込みによる補間方式の原理を説明する為の図（第 2 の畳込み）

【図 9】

3 重畳込みによる補間方式の原理を説明する為の図（第 3 の畳込み）

【図 10】

3 重畳込みによる補間方式の構成の 1 例のブロック図

【図 11】

多重畳込みによる補間方式の構成の 1 例のブロック図

【図 12】

多重畳込みによる補間方式の原理を説明する為の計算表（図 11 に対応）

【図 13】

多重畳込みによる補間方式の計算結果のグラフ（図 1 2 の結果）

【図 1 4】

離散入力信号に対する 3 重畳込みの計算例（2 次曲線補間）

【図 1 5】

離散入力信号に対する 3 重畳込みの計算結果のグラフ（2 次曲線補間）

【図 1 6】

離散入力信号に対する畳込みの計算例（直線補間）

【図 1 7】

離散入力信号に対する畳込みの計算結果のグラフ（直線補間）

【図 1 8】

異なった補間関数を得るための入力信号の一例

【図 1 9】

図 1 8 の出力波形

【図 2 0】

図 1 8 の入力信号の生成回路例

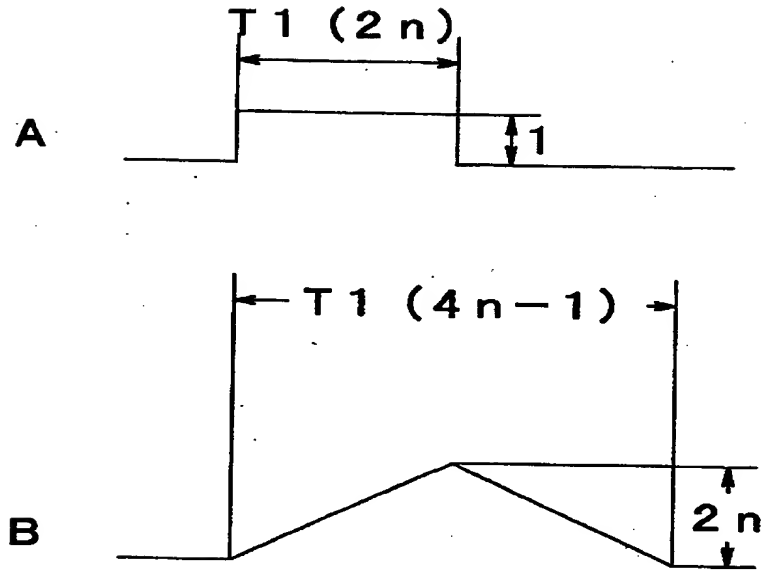
【符号の説明】

- 1 1 6 ビットのデジタル信号入力
- 2 クロック入力
- 3 1 6 倍クロック入力
- 4、5、6、7、8、9、1 0、1 1 D フリップフロップ
- 1 2 加算器
- 1 3、1 4、1 5、1 6、1 7、1 8、1 9、2 0 D フリップフロップ
- 2 1 加算器
- 2 2 D フリップフロップ
- 2 3 加算器
- 2 4 割算器
- 2 5 2 0 ビットデジタルアナログ変換器
- 2 6 1 6 倍クロック、不要輻射除去フィルター
- 2 7 アナログ出力

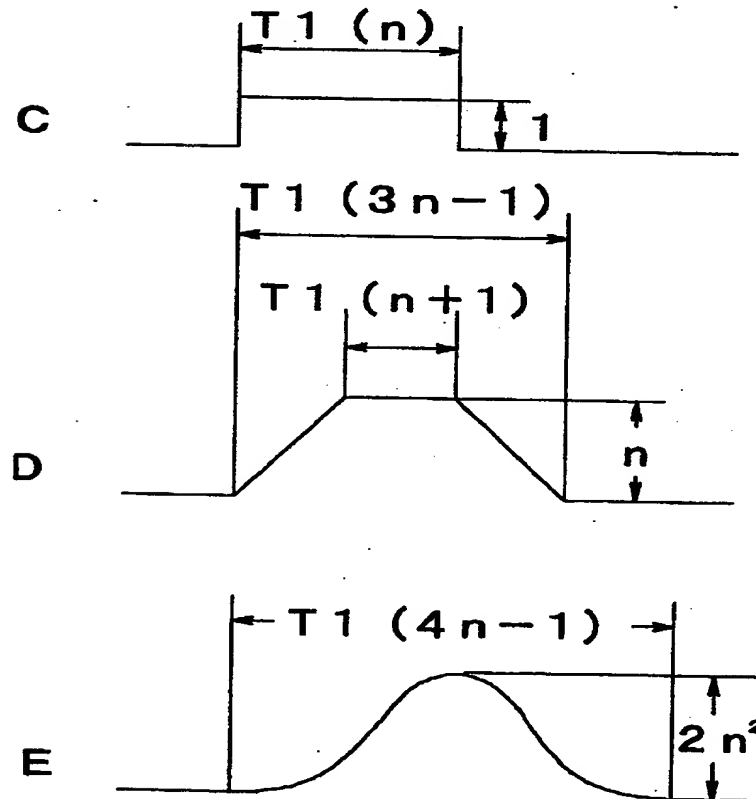
- 28 16ビットのデジタル信号入力
- 29 クロック入力
- 30 16倍クロック入力
- 31、32、33、34、35、36、38、39、41 Dフリップフロップ
- 37、40、42 加算器
- 43、44、45、46、48、49、51 Dフリップフロップ
- 47、50、52 加算器
- 53 Dフリップフロップ
- 54 加算器
- 55 割算器
- 56 20ビットデジタルアナログ変換器
- 57 16倍クロック、不要輻射除去フィルター
- 58 アナログ出力
- 59 信号入力
- 60、61、62、63、64 Dフリップフロップ
- 65、66 $\times (-5)$ 掛算器
- 67、68 $\times 31$ 掛算器
- 69、70、71 加算器
- 72 Dフリップフロップ
- 73 信号出力
- 74 $1/2$ クロック入力
- 75 クロック入力

【書類名】 図面

【図 1】



【図 2】



【図 3】

演算の例(1回目の畳み込み)

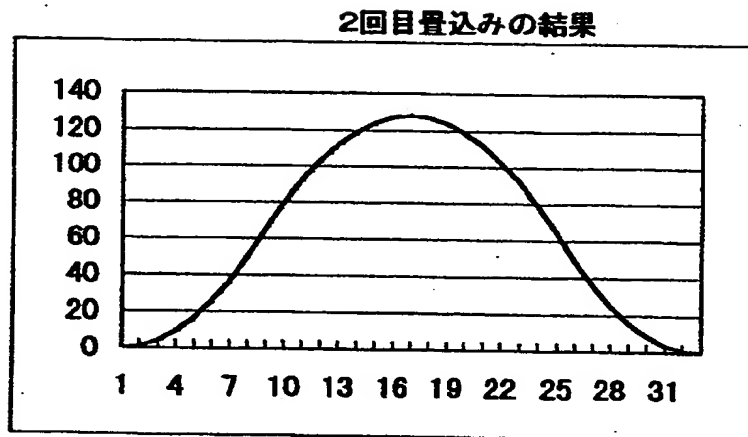
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	8	7	6	5	4	3	2

【図 4】

演算の例(2回目、3回目の畳み込み)

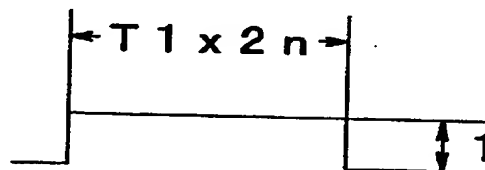
0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7	6	5	4	3	2	1
0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7	6	5	4	3	2
0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7	6	5	4	3
0	0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7	6	5	4
0	0	0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7	6	5
0	0	0	0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7	6
0	0	0	0	0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	7
0	0	0	0	0	0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8
0	1	3	6	10	15	21	28	36	43	49	54	58	61	63	64	64	63	61	58	54	49	43
0	1	3	6	10	15	21	28	36	43	49	54	58	61	63	64	64	63	61	58	54	49	43
0	0	1	3	6	10	15	21	28	36	43	49	54	58	61	63	64	64	63	61	58	54	49
0	1	4	9	16	25	36	49	64	79	92	103	112	119	124	127	128	127	124	119	112	103	92
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
28	21	15	10	6	3	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
28	21	15	10	6	3	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
36	28	21	15	10	6	3	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
64	49	36	25	16	9	4	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

【図 5】



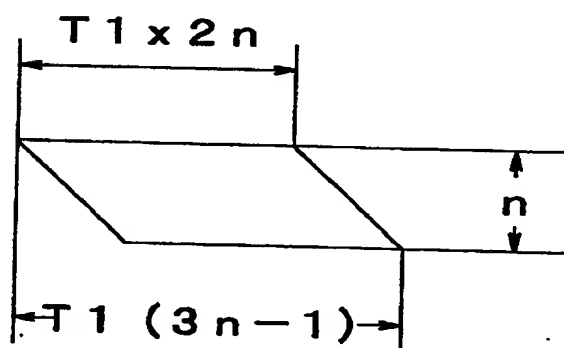
【図 6】

入力データー



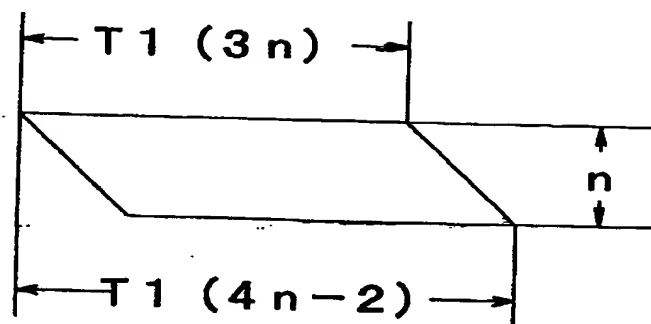
【図 7】

第 1 の畳み込み



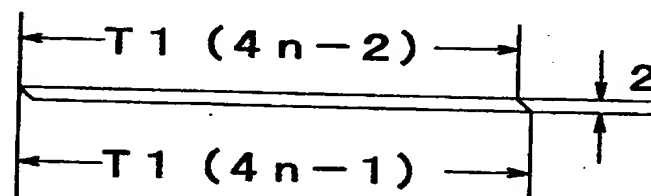
【図 8】

第 2 の畳み込み



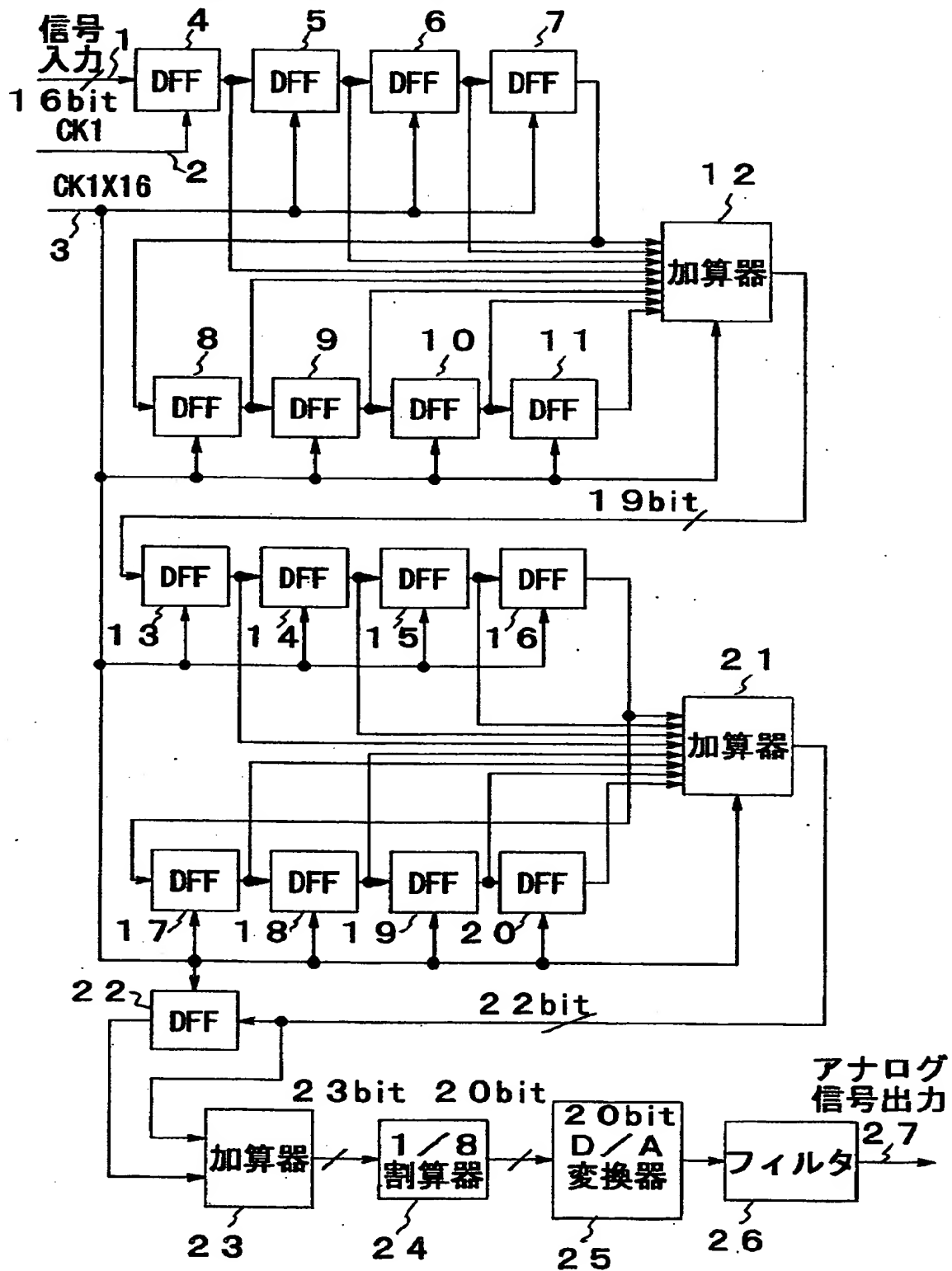
【図 9】

第 3 の畳み込み



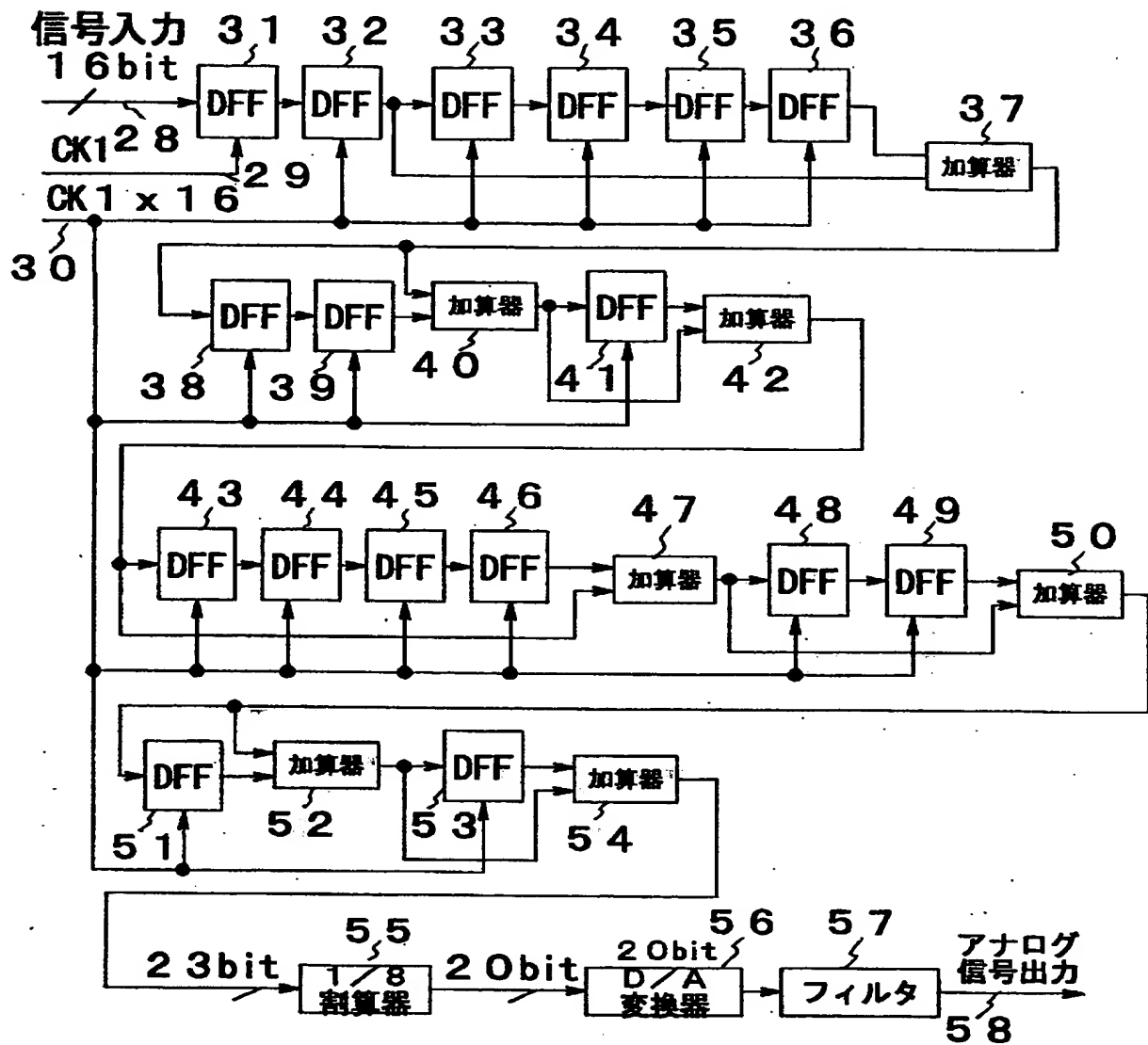
【図 10】

本実施形態のデジタルアナログ変換器の構成例（1）



【図 1 1】

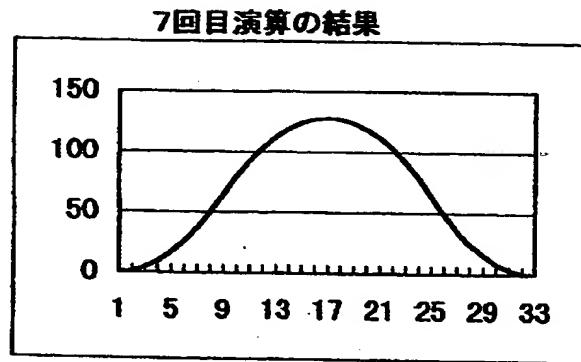
本実施形態のデジタルアナログ変換器の構成例（2）



【図 1 2】

1回～3回の演算																							
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
0	1	1	1	1	2	2	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	0	0
0	1	1	1	1	2	2	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	0	0
0	0	0	1	1	1	1	2	2	2	2	2	2	2	2	2	2	2	2	1	1	1	1	0
0	1	1	2	2	3	3	4	4	4	4	4	4	4	4	4	4	4	3	3	2	2	1	1
0	1	1	2	2	3	3	4	4	4	4	4	4	4	4	4	4	4	3	3	2	2	1	1
0	0	1	1	2	2	3	3	4	4	4	4	4	4	4	4	4	4	4	3	3	2	2	1
0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	8	8	7	6	5	4	3	2
4回～6回の演算																							
0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	8	8	7	6	5	4	3	2
0	0	0	0	0	1	2	3	4	5	6	7	8	8	8	8	8	8	8	8	8	7	6	5
0	1	2	3	4	6	8	10	12	13	14	15	16	16	16	16	16	16	15	14	13	12	10	8
0	1	2	3	4	6	8	10	12	13	14	15	16	16	16	16	16	16	15	14	13	12	10	8
0	0	0	1	2	3	4	6	8	10	12	13	14	15	16	16	16	16	16	15	14	13	12	10
0	1	2	4	6	9	12	16	20	23	26	28	30	31	32	32	32	32	31	30	28	26	23	20
																		4	3	2	1	0	0
																		8	6	4	3	2	1
																		12	9	6	4	2	1
0	1	2	4	6	9	12	16	20	23	26	28	30	31	32	32	32	32	31	30	28	26	23	20
0	0	1	2	4	6	9	12	16	20	23	26	28	30	31	32	32	32	31	30	28	26	23	20
0	1	3	6	10	15	21	28	36	43	49	54	58	61	63	64	64	63	61	58	54	49	43	36
																		12	9	6	4	2	1
																		16	12	9	6	4	2
																		28	21	15	10	6	3
7回目の演算																							
0	1	3	6	10	15	21	28	36	43	49	54	58	61	63	64	64	63	61	58	54	49	43	36
0	0	1	3	6	10	15	21	28	36	43	49	54	58	61	63	64	64	63	61	58	54	49	43
0	1	4	9	16	25	36	49	64	79	92	103	112	119	124	127	128	127	124	119	112	103	92	79
																		28	21	15	10	6	3
																		36	28	21	15	10	6
																		64	49	36	25	16	9

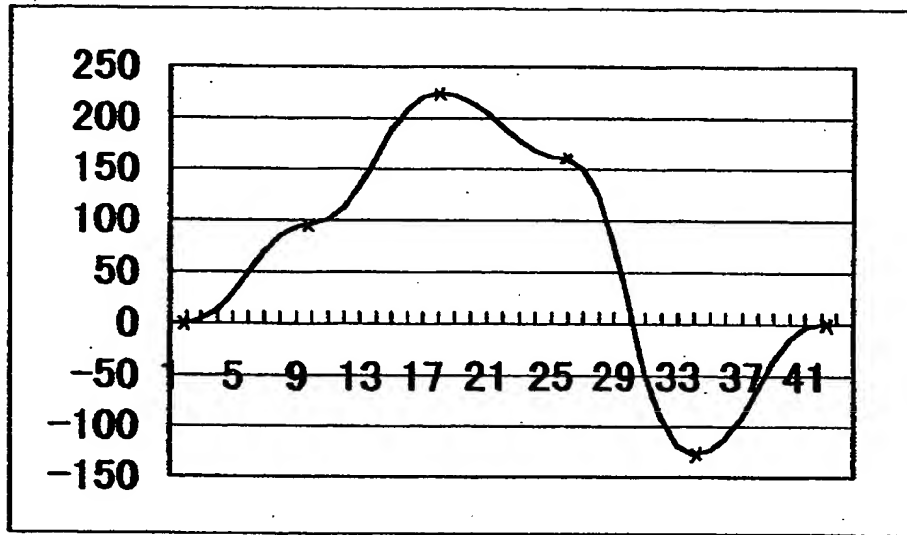
【図 1 3】



【図 1 4】

0	0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5	5
0	0	0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5
0	0	0	0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5
0	0	0	0	0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7
5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0	0	0	0
5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0	0	0
5	5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0	0
5	5	5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0
0	0	3	6	9	12	12	12	12	12	16	20	24	28	28	28	28	28	26	24	22
0	0	0	3	6	9	12	12	12	12	12	16	20	24	28	28	28	28	28	26	24
0	0	0	0	3	6	9	12	12	12	12	12	16	20	24	28	28	28	28	28	26
0	0	0	0	0	3	6	9	12	12	12	12	12	16	20	24	28	28	28	28	28
20	20	20	11	2	-7	-16	-16	-16	-16	-16	-12	-8	-4	0	0	0	0			
20	20	20	20	11	2	-7	-16	-16	-16	-16	-16	-12	-8	-4	0	0	0			
20	20	20	20	20	11	2	-7	-16	-16	-16	-16	-16	-12	-8	-4	0	0			
22	20	20	20	20	20	11	2	-7	-16	-16	-16	-16	-16	-12	-8	-4	0			
0	0	3	9	18	30	39	45	48	48	52	60	72	88	100	108	112	112	110	106	100
0	0	0	3	9	18	30	39	45	48	48	52	60	72	88	100	108	112	112	110	106
0	0	3	12	27	48	69	84	93	96	100	112	132	160	188	208	220	224	222	216	206
82	80	80	71	53	26	-10	-37	-55	-64	-64	-60	-52	-40	-24	-12	-4	0	0		
86	82	80	80	71	53	26	-10	-37	-55	-64	-64	-60	-52	-40	-24	-12	-4	0		
168	162	160	151	124	79	16	-47	-92	-119	-128	-124	-112	-92	-64	-36	-16	-4	0		

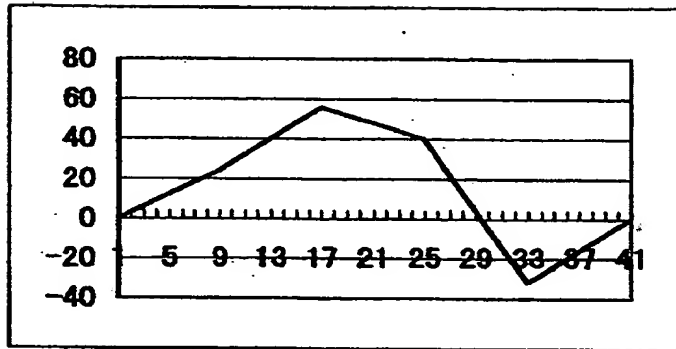
【図 1 5】



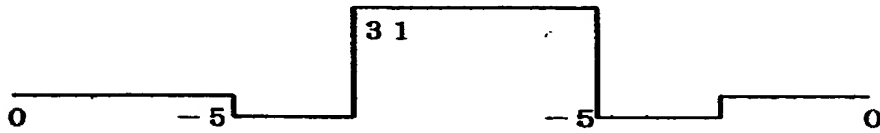
【図 1 6】

0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5	5	5	5	5
0	0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5	5	5	5
0	0	0	3	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5	5	5
0	0	0	0	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5	5	5
0	0	0	0	0	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	5	5	5
0	0	0	0	0	0	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	7	7
0	0	0	0	0	0	0	3	3	3	3	3	3	3	7	7	7	7	7	7	7	7	7
0	3	6	9	12	15	18	21	24	28	32	36	40	44	48	52	56	54	52	50	48	46	44
			5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0	0	0	0
			5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0	0	0
			5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0	0
			5	5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0	0
			5	5	5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0	0
			5	5	5	5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0	0
			7	5	5	5	5	5	5	5	-4	-4	-4	-4	-4	-4	-4	-4	0	0	0	0
42	40	31	22	13	4	-5	-14	-23	-32	-28	-24	-20	-16	-12	-8	-4	0	0	0	0	0	0

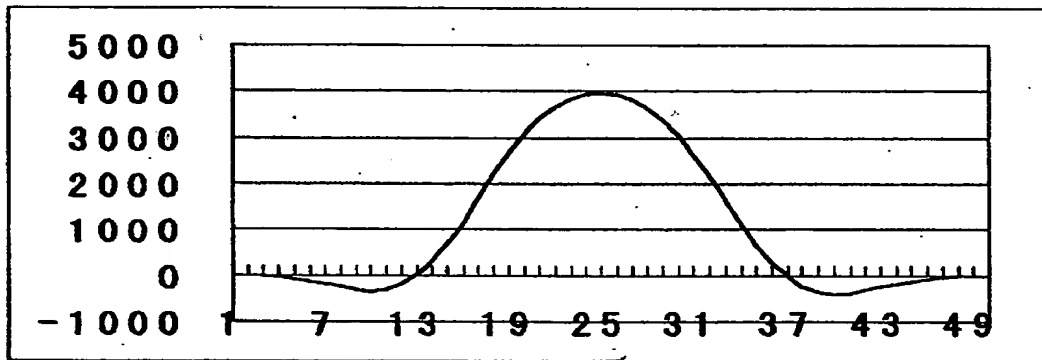
【図 1 7】



【図 1 8】

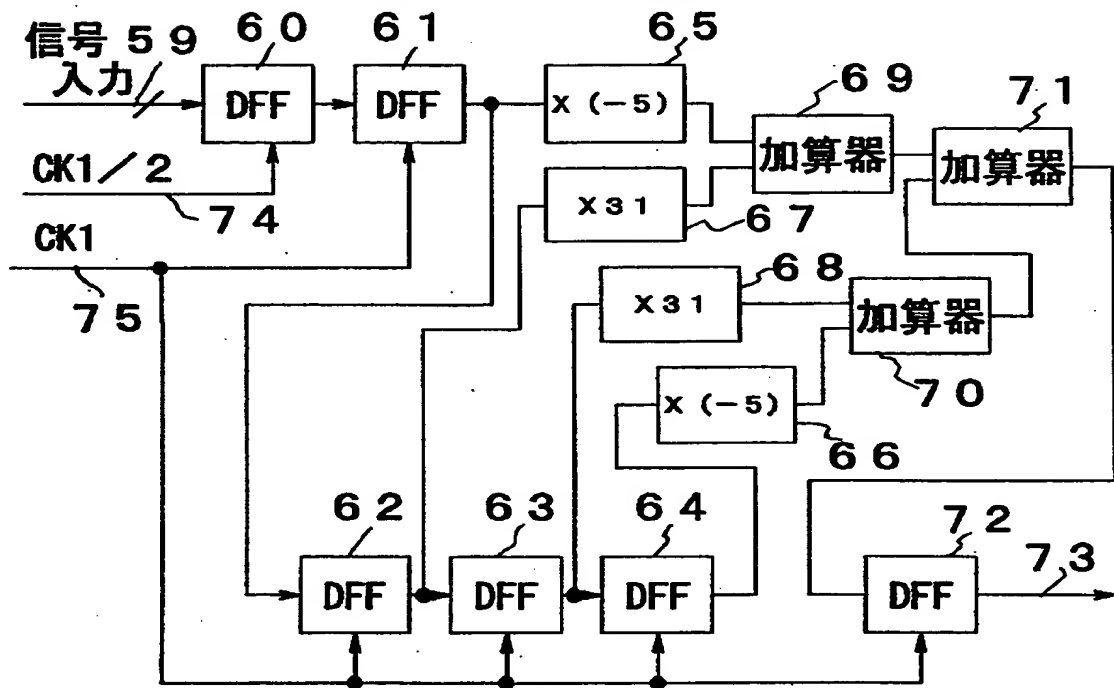


【図 1 9】



【図 2 0】

図 1 8 の入力信号生成回路の例



【書類名】

要約書

【要約】

【課題】 従来のデジタルアナログ変換器は入力データをそのサンプリング周期で零次ホールドした出力を得るもので、これをローパスフィルターを通して連続した信号出力を得るものであった。しかし零次ホールドによるアパーチャ歪みや、ローパスフィルターを用いるため位相歪みを生じ、正しい信号の再現が出来なかった。また、 Sinc 関数等を用いた補間処理により補間スルオーバーサンプリングD/A変換器があるが、この Sinc 関数は $\pm\infty$ で0に収れんするため、打ち切り誤差を生じ、また複雑な回路構成を必要とするものであった。

【解決手段】 本発明は零次ホールドされた入力データより、多重畳込みにより直接補間データを生成する。即ち、期間 $2nT_1$ のクロックでサンプリングされた離散信号を零次ホールドし、期間 T_1 でオーバーサンプリングを行い、更に T_1 ずつずらして n 相と n 相で2重畳込みを行い、更に T_1 ずらして2相の畳込みを行う事により、包絡線が連続した2次曲線で且つサンプル値の整数倍を通る $2n$ 倍オーバーサンプリング出力を得る。

【選択図】

図2

認定・付加情報

特許出願の番号	平成11年 特許願 第165745号
受付番号	19908500068
書類名	特許願
担当官	岡田 幸代 1717
作成日	平成11年 8月 6日

<認定情報・付加情報>

【特許出願人】	申請人
【識別番号】	595016543
【住所又は居所】	埼玉県浦和市中尾409-1-D115
【氏名又は名称】	酒井 康江

出 願 人 履 歴 情 報

識別番号 [595016543]

1. 変更年月日 1994年12月20日
[変更理由] 新規登録
住 所 東京都大田区中馬込3丁目28番1号
氏 名 酒井 康江
2. 変更年月日 1999年 5月24日
[変更理由] 住所変更
住 所 埼玉県浦和市中尾409-1-D115
氏 名 酒井 康江